

DEVICE FOR COMPRESSING IMAGE DATA

Patent Number: JP5328327
Publication date: 1993-12-10
Inventor(s): OBARA KAZUTAKA
Applicant(s):: MATSUSHITA ELECTRIC IND CO LTD
Requested Patent: ☐ JP5328327
Application Number: JP19920125949 19920519
Priority Number(s):
IPC Classification: H04N7/133 ; H04N1/41 ; H04N1/413
EC Classification:
Equivalents: JP2897529B2

Abstract

PURPOSE: To obtain a device appropriate for a high density integrated circuit by using the 1st quantization calculating circuit in each nDCT also as a circuit for determining quantization in each DCT in a quantization determining cycle.

CONSTITUTION: In a quantizer 23, DCT-converted data are quantized by quantizing elements Q1 to Q5. A calculating circuit 24 calculates code length in each quantizer and transfers respective calculated results to quantization calculating circuits (1) 25, (2) 26 through a selector 11. In the circuit 25, an initial value is set up in an FF 17 by switches 15, 16 at first and then the output of a Q memory 14 is connected to the input of the FF 17. In this status, data from the selector 11 are successively accumulatively added in each quantizer and the added data are stored in the memory 14. The circuit 26 similarly receives data from the selector 11, finds out a difference between the data of the Qn and the data of an output Qn-1 from the FF 20 and stores the difference in a memory 22. In a cycle for determining quantization, the accumulatively added result of code length of the memory Q3 is read out from the memory 14, a difference between the code length of the memories Q4, Q3 is accumulatively added by an adder 12 and the FF 17 and an overflow is detected to determine quantization of each DCT.

Data supplied from the esp@cenet database - I2

[Prior Art] A conventional image data compressing device employing feed-forward control is illustrated in Fig. 7. In Fig. 7, 53 denotes a discrete cosine converting circuit, 54 a buffer memory, 55 a quantization circuit, 56 a variable length sign code converting circuit, and 57 a quantization estimating circuit. Fig. 8 illustrates a circuitry arrangement of the quantization estimating circuit of Fig. 7 wherein 1 to 5 denote quantizers, 6 to 10 sign length calculating circuits, 11 a selector, 83 a quantization calculating circuit (1), 84 a quantization calculating circuit (2), and 85 a quantization determining circuit. Operational theories of the image data compressing device employing feed-forward control will now be explained with reference to Figs. 8 and 7.

[0003] In Fig. 7, data after discrete cosine conversion are input to the quantization estimating circuit 57, and by calculating sign lengths after variable-length sign code conversion for each of the quantizers in the quantization estimating circuit, a quantizer with which a specified amount of data is not exceeded and simultaneously becomes maximum is determined and the result is transmitted to the quantization circuit 55. The buffer memory 54 functions to delay transmission of data from the DCT to the quantization circuit 55 until calculations of the quantization estimating circuit are completed. Data that have been quantized in the

quantization circuit 55 are converted into variable-length sign codes in the variable-length sign code converting circuit 56 and are compressed.

[0004] In the quantization estimating circuit of Fig. 8, data are quantized in the quantizers Q1 to Q5. The sign length calculators 6 to 10 are for calculating sign lengths in case the quantized data are converted into variable-length sign codes. The selector 11 sequentially transmits results of sign length calculation of each of the quantizers to the quantization calculating circuit 83 and the quantization calculating circuit 84. The quantization calculating circuit 83 performs accumulated addition of sign lengths of each of the quantizers per each unit line of an nDCT converting block (hereinafter referred to as "nDCT") and stores the results in a memory 71. The quantization calculating circuit 84 calculates differences between quantizers Q_n and Q_{n-1} per each unit DCT and stores the results in a memory 77. The quantization determining circuit 85 determines a quantizer for each DCT based on data of the quantization calculating circuit 83 and the quantization calculating circuit 84 such that the results of sign length accumulated addition will not exceed a specified amount of data and simultaneously becomes maximum.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-328327

(43)公開日 平成 5 年(1993)12月10日

(51)Int.Cl.⁵

H 0 4 N 7/133

1/41

1/413

識別記号

Z

B 9070-5C

D 9070-5C

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 9 頁)

(21)出願番号

特願平4-125949

(22)出願日

平成 4 年(1992) 5 月19日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 小原 一剛

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

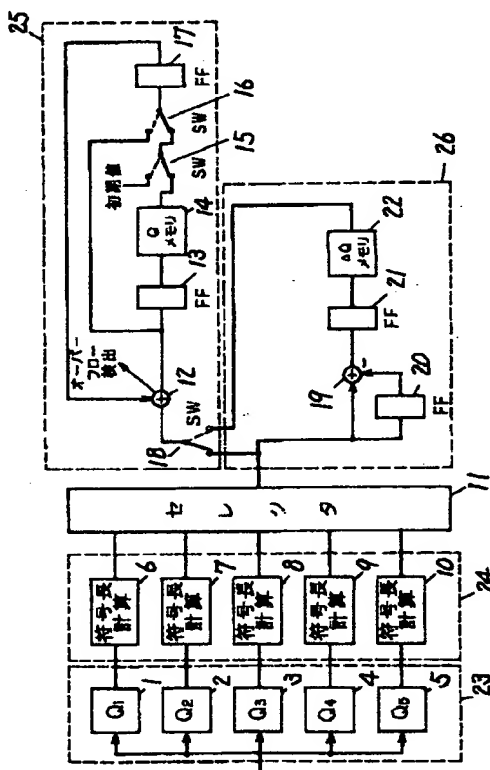
(74)代理人 弁理士 小鍛治 明 (外 2 名)

(54)【発明の名称】 画像データ圧縮装置

(57)【要約】

【目的】 高密度集積化に適した画像データ圧縮装置を提供することを目的とする。

【構成】 フィードフォワード制御の画像データ圧縮装置の量子化見積り回路において、量子化器 1 ～ 5 ごとの符号長の累積加算を行ないオーバーフローを検出すると同時に累積加算結果をメモリ 14 に格納する第 1 の量子化計算回路 25、量子化器と他の量子化器の符号長の差分を計算しメモリ 22 に格納する第 2 の量子化計算回路 26 を備え、前記第 1 の量子化計算回路が量子化決定サイクルで 1 DCT ごとの量子化決定を行なう回路を兼ねる。



【特許請求の範囲】

【請求項1】 フィードフォワード制御の画像データ圧縮装置の量子化見積み回路において、複数の量子化器と、量子化器に対応する複数の符号長計算回路と、セレクトと、量子化器ごとの符号長の累積加算を行ないオーバーフローを検出すると同時に累積加算結果をメモリに格納する第1の量子化計算回路と、量子化器と他の量子化器の符号長の差分を計算しメモリに格納する第2の量子化計算回路回路を備え、前記第1の量子化計算回路は加算器とメモリとフリップフロップ又はラッチとスイッチにより構成され、加算器の出力はメモリの入力に接続し、メモリの出力とフリップフロップ又はラッチの入力はスイッチを介して接続し、フリップフロップ又はラッチの出力は加算器の入力に接続し、前記スイッチの他の入力は前記加算器の出力に接続する構造を有し、前記第1の量子化計算回路が離散コサイン変換ブロックごとの量子化決定を行なう回路を兼ねることを特徴とする画像データ圧縮装置。

【請求項2】 フィードフォワード制御の画像データ圧縮装置の量子化見積み回路において、複数の量子化器と、量子化器に対応する複数の符号長計算回路と、セレクトと、量子化器ごとの符号長の累積加算を行ないオーバーフローを検出すると同時に累積加算結果をメモリに格納する第1の量子化計算回路と、量子化器と他の量子化器の符号長の差分を計算しメモリに格納する第2の量子化計算回路回路を備え、前記第1の量子化計算回路は加算器とメモリとフリップフロップ又はラッチとスイッチにより構成され、加算器の出力はフリップフロップ又はラッチの入力に接続し、フリップフロップ又はラッチの出力はメモリの入力に接続し、メモリの出力はスイッチを介して加算器の入力に接続し、前記スイッチの他の入力は前記フリップフロップ又はラッチの出力に接続する構造を有し、前記第1の量子化計算回路が離散コサイン変換ブロックごとの量子化決定を行なう回路を兼ねることを特徴とする画像データ圧縮装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高密度の集積回路に適したフィードフォワード制御の画像データ圧縮装置に関する。

【0002】

【従来の技術】 従来のフィードフォワード制御の画像データ圧縮装置を図7に示す。図7において、53は離散コサイン変換回路、54はバッファメモリ、55は量子化回路、56は可変長符号コード変換回路、57は量子化見積み回路である。図8は、図7の量子化見積み回路の回路構成を示し、1～5は量子化器、6～10は符号長計算回路、11はセレクト、83は量子化計算回路(1)、84は量子化計算回路(2)、85は量子化決定回路である。以下に、図8と図7を参照してフィードフォワード制御の画像データ圧縮装置の動作原理を説明する。

【0003】 図7において、離散コサイン変換後のデータが量子化見積み回路57に入力され、量子化見積み回路において各量子化器ごとの可変長符号コード変換後の符号長を計算することにより、所定のデータ量におさまるか最大となる量子化器を決定し量子化回路55に伝える。バッファメモリ54は、量子化見積み回路の計算が終わるまでDCTからのデータを量子化回路55に伝えるのを遅らせる役目を果たす。量子化回路55により量子化されたデータは可変長符号コード変換回

路56により可変長符号コードに変換され圧縮される。

【0004】 図8の量子化見積み回路において、データは量子化器Q1～Q5により量子化される。符号長計算器6～10は、量子化したデータを可変長符号コード変換した場合の符号長を計算する。セレクト11は、各量子化器ごとの符号長量計算結果を順番に量子化計算回路83と量子化計算回路84に渡す。量子化計算回路83は量子化器毎の符号長の累積加算をnDCT変換ブロック(以下nDCTと記す)単位行ないメモリ71に格納する。量子化計算回路84は量子化器QnとQn-1の差分1DCT単位で計算しメモリ77に格納する。量子化決定回路85は、量子化計算回路83と量子化計算回路84からのデータにより符号長累積加算結果が所定のデータ量におさまるか最大となるDCT毎の量子化器を決定する。

【0005】

【発明が解決しようとする課題】 従来のフィードフォワード制御の画像データ圧縮装置の量子化見積み回路は、DCT毎に量子化器を決定しようとする場合、nDCT単位の量子化計算回路と別に専用の量子化決定回路85を必要とするため、回路規模とが大きいという問題があった。

【0006】 本発明は、高密度の集積回路に適した量子化見積み回路を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明の画像データ圧縮装置は、フィードフォワード制御の画像データ圧縮装置の量子化見積み回路において、複数の量子化器と、量子化器に対応する複数の符号長計算回路と、セレクトと、量子化器毎の符号長の累積加算を行ないオーバーフローを検出すると同時に累積加算結果をメモリに格納する第1の量子化計算回路と、量子化器と他の量子化器の符号長の差分を計算しメモリに格納する第2の量子化計算回路回路を備え、前記第1の量子化計算回路は加算器とメモリとフリップフロップ又はラッチとスイッチにより構成され、加算器の出力はメモリの入力に接続し、メモリの出力とフリップフロップ又はラッチの入力はスイッチを介して接続し、フリップフロップ又はラッチの出力は加算器の入力に接続し、前記スイッチの他の入力は前記加算器の出力に接続する構造を有し、前記第1の量子化計算回路がDCT変換ブロック毎の量子化決定を行なう回路を兼ねることを特徴とする。

【0008】 また、本発明の画像データ圧縮装置は、フィードフォワード制御の画像データ圧縮装置の量子化見積み回路において、複数の量子化器と、量子化器に対応する複数の符号長計算回路と、セレクトと、量子化器毎の符号長の累積加算を行ないオーバーフローを検出すると同時に累積加算結果をメモリに格納する第1の量子化計算回路と、量子化器と他の量子化器の符号長の差分を計算しメモリに格納する第2の量子化計算回路回路を備え、前記第1の量子化計算回路は加算器とメモリとフリップフロップ又はラッチとスイッチにより構成され、加算器の出力はフリップフロップ又はラッチの入力に接続し、フリップフロップ又はラッチメモリの出力はメモリの入力に接続し、メモリの出力はスイッチを介して加算器の入力に接続し、前記スイッチの他の入力は前記フリップフロップ又はラッチの出力に接続する構造を有し、前記第1の量子化計算回路がDCT変換ブロック毎の量子化決定を行なう回路を兼ねることを特徴とする。

【0009】

【作用】本発明は、上述の回路構成により、nDCT単位の第1の量子化計算回路が量子化決定のサイクルでDCT毎の量子化を決定する回路を兼ねることにより回路規模を削減させる。

【0010】

【実施例】本発明の画像データ圧縮装置の実施例を図1の回路図、図2の回路図、図3の量子化見積り回路の動作タイミング図、図4のQn符号長累積加算計算の動作説明図、図5のΔQn符号長計算の動作説明図、図6の量子化決定の動作説明図を参照して説明する。

【0011】本発明の画像データ圧縮装置は、その基本部分で一般のフィードフォワード制御の画像データ圧縮装置と同じであるが、図1の量子化見積り回路に示す様に、量子化器ごとの符号長の累積加算を行ないオーバーフローを検出すると同時に累積加算結果をメモリに格納する量子化計算回路(1)25を備え、量子化計算回路25は加算器12とメモリ14とフリップフロップ又はラッチ13、17とスイッチ15、16により構成され、加算器12の出力はフリップフロップ13を介してメモリ14の入力に接続し、メモリ14の出力とフリップフロップ又はラッチ17の入力はスイッチ15、16を介して接続し、フリップフロップ又はラッチ17の出力は加算器12の入力に接続し、前記スイッチ16の他の入力に接続する点で従来のものと異なる。

【0012】また、図2の量子化見積り回路に示す様に、量子化器毎の符号長の累積加算を行ないオーバーフローを検出すると同時に累積加算結果をメモリに格納する量子化計算回路(1)51を備え、量子化計算回路51は加算器38とメモリ40とフリップフロップ又はラッチ39、42とスイッチ41、43により構成され、加算器38の出力はフリップフロップ又はラッチ39の入力に接続し、フリップフロップ又はラッチ39の出力はメモリ40の入力に接続し、メモリ40の出力はフリップフロップ42とスイッチ43を介して加算器38の入力に接続し、スイッチ43の他の入力に接続する点で従来のものと異なる。

【0013】ところで、従来のフィードフォワード制御の画像データ圧縮装置の量子化見積り回路は、DCT毎に量子化器を決定しようとする場合、nDCT単位の量子化計算回路と別に専用の量子化決定回路を必要とするため、回路規模とが大きいという問題があった。従って、nDCT単位の量子化計算回路が量子化決定回路を兼ねることができ且つ量子化計算と量子化決定の動作が保証できれば、回路規模を大幅に削減することが可能になる。本発明はこの点に注目したものである。

【0014】図3は、図1及び図2の量子化見積り回路の動作タイミングを説明したものである。Q1～Q5は量子化器を示し、符号長計算の1nmはQnのm番目のDCTの符号長計算結果を示す。量子化計算は、符号長計算に対し1DCT遅れる。また、DCT毎の量子化決定は量子化計算後の1DCTで行なわれる。この動作タイミングによれば、量子化計算と量子化決定の動作は同時に起こらないことが解かる。量子化計算と量子化決定の動作が同時に起こらないことが必要条件は、画像データが量子化見積りの対象となるnDCTの後に1DCT以上の空白を持つことである。この空白は、NTSC又はPAL方式のテレビ放送の場合は、ブランキング時間に対応させることができる。

【0015】図4は、Qn符号長累積加算計算の動作を説明したものである。15m≥14m≥13m≥121≥11mの関係があ

る。量子化計算回路(1)は、量子化器ごとに(1n0+1n1+1n2+1n3+1n4+1n5+1n6+1n7+1n8+1n9)を計算しQnメモリ14に格納する。当然のことながら、(150+151+152+153+154+155+156+157+158+159)≥(140+141+142+143+144+145+146+147+148+149)≥(130+131+132+133+134+135+136+137+138+139)≥(120+121+122+123+124+125+126+127+128+129)≥(110+111+112+113+114+115+116+117+118+119)の関係が成立する。

今、量子化器Q1～Q3の(1n0+1n1+1n2+1n3+1n4+1n5+1n6+1n7+1n8+1n9)が所定の値未満、量子化器Q4、Q5の(1n0+1n1+1n2+1n3+1n4+1n5+1n6+1n7+1n8+1n9)がL以上の時は、10DCT単位の量子化器はQ3が選択される。

【0016】図5は、ΔQn符号長計算の動作を説明したものである。Qnの符号長1nmとQn-1の符号長1n-1mのDCTごとの差分を計算しΔQnメモリ22に格納する。

【0017】図6は、DCTごとの量子化決定の動作を説明したものである。今、仮に図4の符号長累積加算計算において、10DCT単位の量子化器はQ3が選択されたとすると、量子化決定サイクルでは、Qnメモリ14からQ3の累積加算結果として(130+131+132+133+134+135+136+137+138+139)を読み出し初期値とする。次に、ΔQnメモリ21からQ4-Q3の符号長の差分の0番目のDCTのデータ(140-130)を読み出し、前述の初期値に加算する。この加算値は、(130+131+132+133+134+135+136+137+138+139)+(140-130)=(140+131+132+133+134+135+136+137+138+139)であるから、0番目のDCTをQ4で量子化し、1番目から9番目のDCTをQ3で量子化すると等価である。同様にして順番に、(141-131)、(142-132)、(143-133)、(144-134)、(145-135)、(146-136)、(147-137)、(148-138)、(149-139)を前述の加算値に累積加算する。今、仮に、(1n0+1n1+1n2+1n3+1n4+1n5+1n6+1n7+1n8+1n9)+(140-130)+(141-131)+(142-132)+(143-133)≥L≥(1n0+1n1+1n2+1n3+1n4+1n5+1n6+1n7+1n8+1n9)+(140-130)+(141-131)+(142-132)とすると、(1n0+1n1+1n2+1n3+1n4+1n5+1n6+1n7+1n8+1n9)+(140-130)+(141-131)+(142-132)の場合が最適量子化になる。即ち、0番目から2番目のDCTをQ4で量子化し、3番目から9番目のDCTをQ3で量子化する場合が最適である。

【0018】図1の本発明の回路の動作を説明する。量子化器23によってDCT変換後のデータをQ1、Q2、Q3、Q4、Q5で量子化する。符号長計算回路24は量子化器ごとの符号長計算を行ないセクタ11に渡す。セクタ11はQ1、Q2、Q3、Q4、Q5の順に、符号長計算結果を量子化計算回路(1)25と量子化計算回路(2)26に渡す。量子化計算回路25において、最初にスイッチ15とスイッチ16により初期値をフリップフロップ17に設定する。次に、Qメモリ14の出力をスイッチ15とスイッチ16によりフリップフロップ17の入力に接続する。この状態で、セクタ11からのデータを量子化器ごとに順次累積加算しQメモリに格納する。

【0019】量子化計算回路26は、量子化計算回路25同様にセクタからデータを受け取り、Qnのデータとフリップフロップ20の出力Qn-1のデータの差分をとり、ΔQnメモリに格納する。この場合の動作タイミングは、図3に示したように、DCT変換後の画像データをパイプラインで連続処理す

る。次に、量子化決定のサイクルでは、最初にスイッチ15とスイッチ16によりQ3の符号長の累積加算結果をQメモリから読み出し、フリップフロップ17に設定する。次に、スイッチ18により ΔQ_n メモリの出力を加算器12の入力に接続し、スイッチ16により加算器12の出力をフリップフロップ17の入力に直結する。この状態で、 ΔQ_n メモリからQ4-Q3の符号長の差分を0番目のDCTから順番に取り出し、加算器12とフリップフロップ17により累積加算しオーバーフローを検出することにより、DCTごとの量子化を決定する。この時の動作は、図3と図4と図5と図6に示す通りである。従って、10DCT単位の量子化計算回路が量子化決定回路を兼ねることができ且つ量子化計算と量子化決定の動作が保証できる。

【0020】図2の本発明の回路の動作を説明する。図1の回路と同様に、量子化器23によってDCT変換後のデータをQ1、Q2、Q3、Q4、Q5で量子化する。符号長計算回路24は量子化器ごとの符号長計算を行ないセレクト11に渡す。セレクト11はQ1、Q2、Q3、Q4、Q5の順に、符号長計算結果を量子化計算回路(1)51と量子化計算回路(2)26に渡す。量子化計算回路51において、最初にスイッチ41により初期値をフリップフロップ42に設定する。次に、Qメモリの出力をスイッチ40によりフリップフロップ42の入力に接続し、フリップフロップ42の出力をスイッチ43により加算器38の入力に接続する。この状態で、セレクト11からのデータを量子化器ごとに順次累積加算しQメモリに格納する。

【0021】量子化計算回路26は、量子化計算回路51と同様にセレクトからデータを受け取り、Qnのデータとフリップフロップ20の出力 Q_{n-1} のデータの差分をとり、 ΔQ_n メモリに格納する。この場合の動作タイミングは、図3に示したように、DCT変換後の画像データをパイプラインで連続処理する。次に、量子化決定のサイクルでは、Q3の符号長の累積加算結果をQメモリから読み出し、フリップフロップ39に設定する。次に、スイッチ44により ΔQ_n メモリの出力を加算器38の入力に接続し、スイッチ43により加算器38の入力をフリップフロップ39の出力に直結する。この状態で、 ΔQ_n メモリからQ4-Q3の符号長の差分を0番目のDCTから順番に取り出し、加算器38とフリップフロップ39により累積加算しオーバーフローを検出することにより、DCTごとの量子化を決定する。この時の動作は、図3と図4と図5と図6に示す通りである。従って、10DCT単位の量子化計算回路が量子化決定回路を兼ねることができ且つ量子化計算と量子化決定の動作が保証できる。

【0022】ところで、本実施例(図1の回路図及び図2の回路図)は従来の図8の回路と比較すると、量子化計算回路はスイッチを2個多く必要とするが、量子化計算回路が量子化決定回路を兼ねるため、量子化決定回路を削減できる。一般に、画像データ圧縮装置では、大量のデータを高速に処理することが多く、量子化後のデータを格納する領域も大きい。このため、符号長の累積加算結果が大きくなると同時に高速に動作する必要があるため、量子化計算回路(1)と量子化決定回路は大きくなる。例えば、量子化後のデータを格納する領域を4096ビットとすると、量子化計算回路(1)と量子化決定回路では、12ビット幅のデータの計算を高速に行なうため回路規模は大きくなる。このため量子化決定回路の削減の効果は非常に大きい。

【0023】

【発明の効果】本発明の画像データ圧縮装置によれば、量子化見積り回路の回路規模を大幅に低下させることができるという効果が奏される。

【図面の簡単な説明】

【図1】本発明の量子化見積り回路の回路図

【図2】本発明の他の量子化見積り回路の回路図

【図3】量子化見積り回路の動作説明図

【図4】量子化計算回路(1)の動作説明図

【図5】量子化計算回路(2)の動作説明図

【図6】量子化決定回路の動作説明図

【図7】フィードフォワード制御の画像データ圧縮装置の構成図

【図8】従来の量子化見積り回路の回路図

【符号の説明】

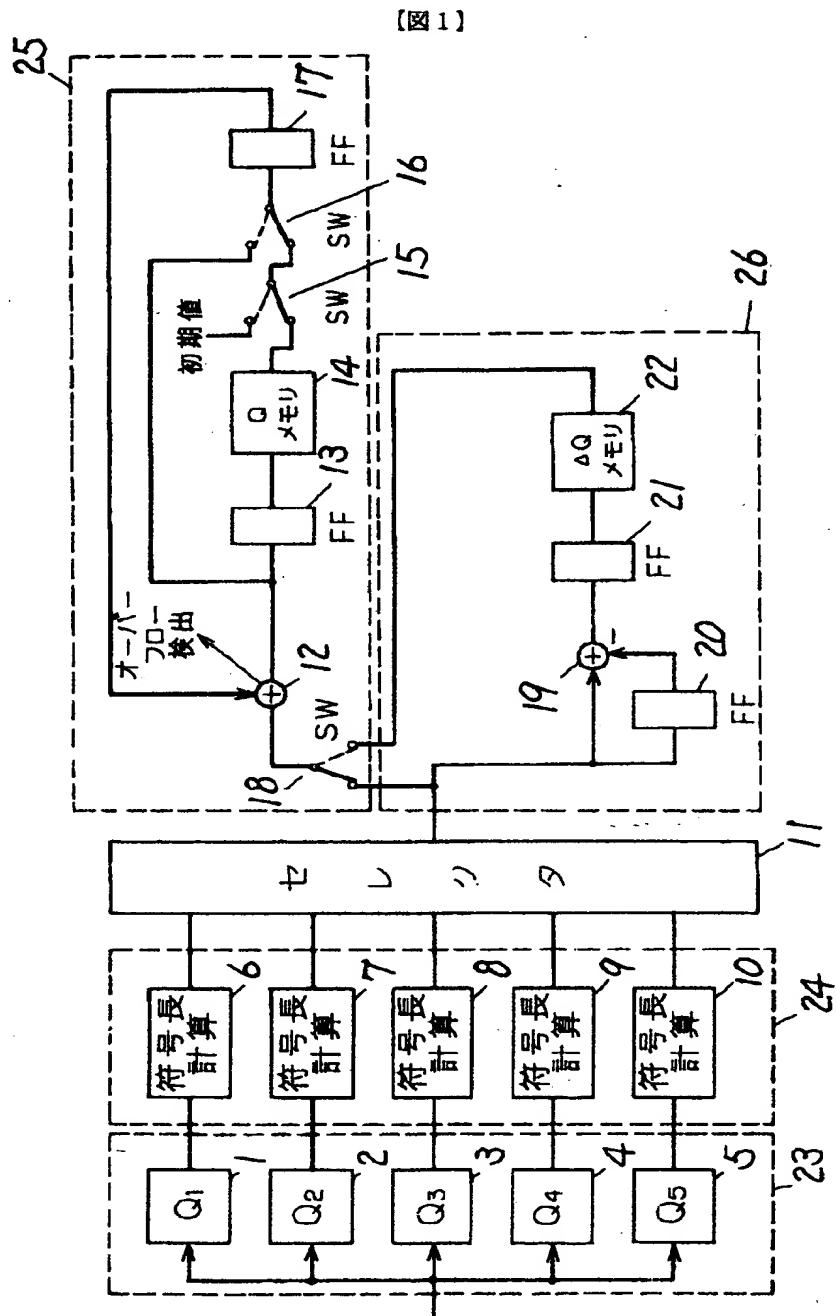
1～5 量子化器

6～10 符号長計算回路

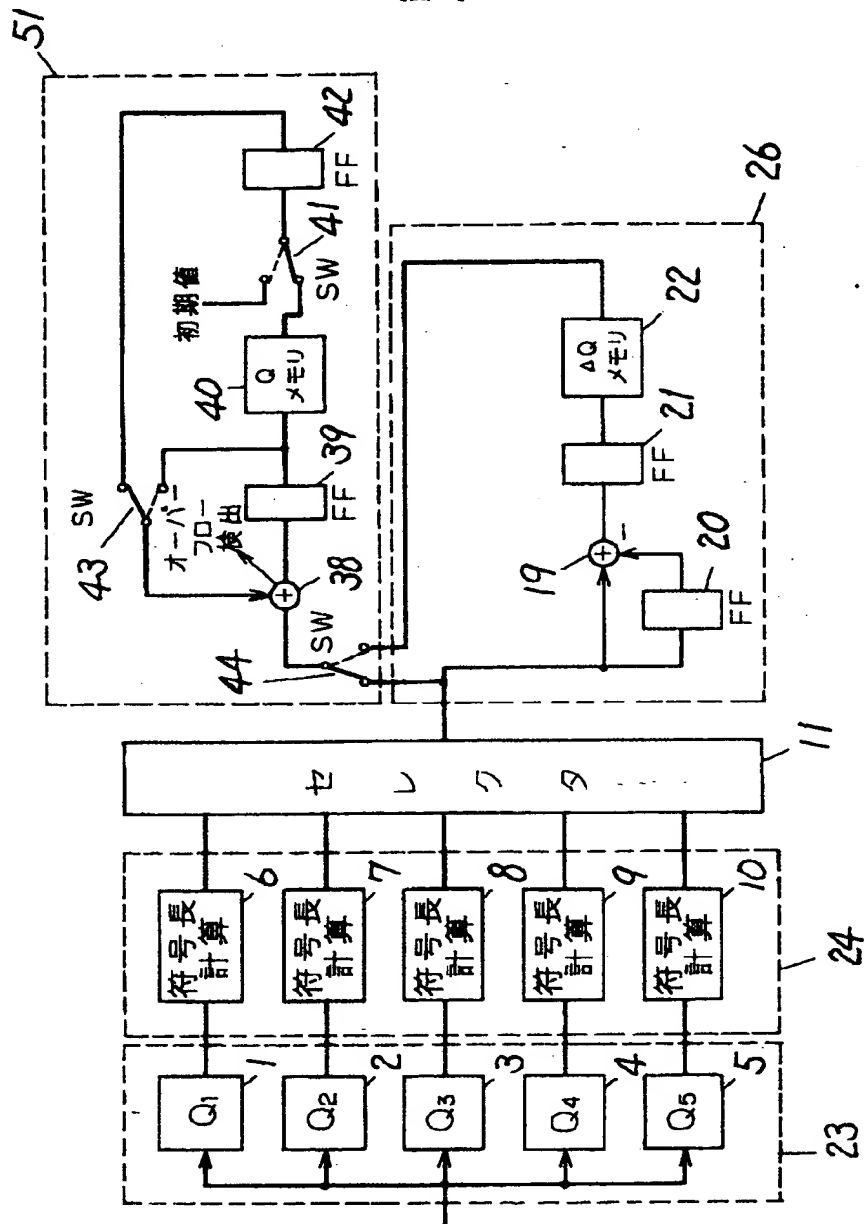
11 セレクト

25 量子化計算回路(1)

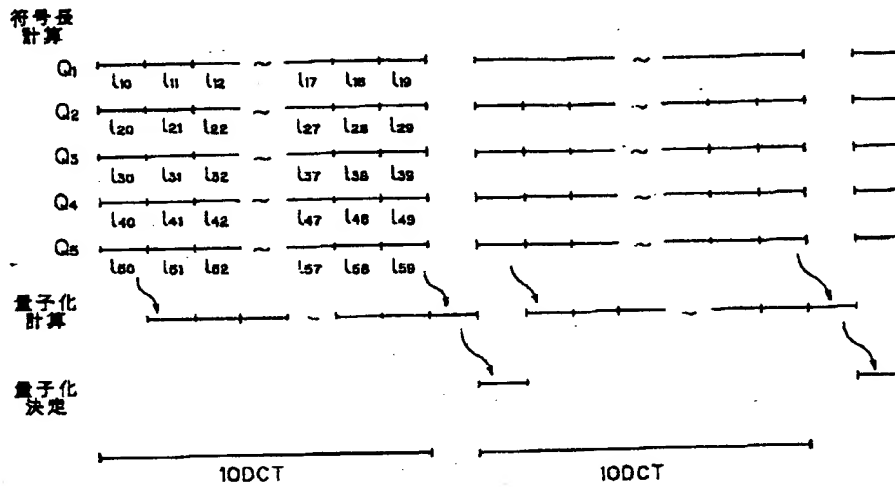
26 量子化計算回路回路(2)



【図2】



【図3】



【図4】

Q _n 符号長累積加算計算										
	(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)	(9)
Q ₁	l ₁₀ + l ₁₁ + l ₁₂ + l ₁₃ + l ₁₄ + l ₁₅ + l ₁₆ + l ₁₇ + l ₁₈ + l ₁₉									
Q ₂	l ₂₀ + l ₂₁ + l ₂₂ + l ₂₃ + l ₂₄ + l ₂₅ + l ₂₆ + l ₂₇ + l ₂₈ + l ₂₉									
Q ₃	l ₃₀ + l ₃₁ + l ₃₂ + l ₃₃ + l ₃₄ + l ₃₅ + l ₃₆ + l ₃₇ + l ₃₈ + l ₃₉									
Q ₄	l ₄₀ + l ₄₁ + l ₄₂ + l ₄₃ + l ₄₄ + l ₄₅ + l ₄₆ + l ₄₇ + l ₄₈ + l ₄₉									
Q ₅	l ₅₀ + l ₅₁ + l ₅₂ + l ₅₃ + l ₅₄ + l ₅₅ + l ₅₆ + l ₅₇ + l ₅₈ + l ₅₉									

オーバーフローなし
あり
オーバーフロー

【図5】

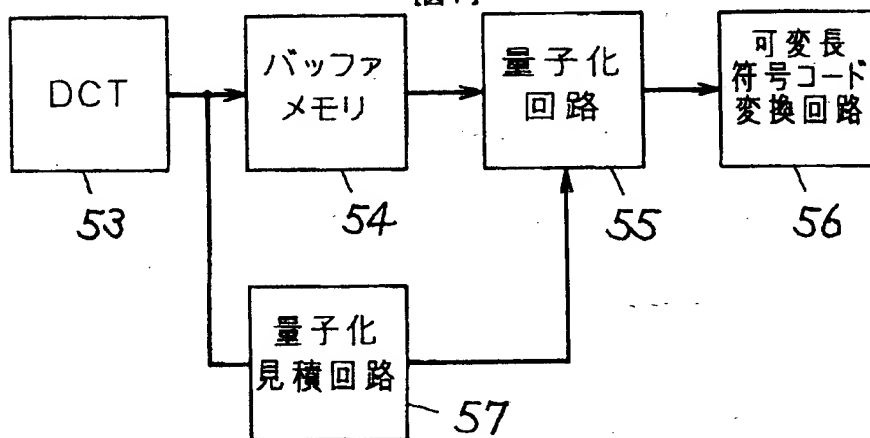
ΔQ _n 符号長計算							
	(0)	(1)	(2)	(3)		(8)	(9)
Q ₂ -Q ₁	l ₂₀ -l ₁₀	l ₂₁ -l ₁₁	l ₂₂ -l ₁₂	l ₂₃ -l ₁₃		l ₂₈ -l ₁₈	l ₂₉ -l ₁₉
Q ₃ -Q ₂	l ₃₀ -l ₂₀	l ₃₁ -l ₂₁	l ₃₂ -l ₂₂	l ₃₃ -l ₂₃		l ₃₈ -l ₂₈	l ₃₉ -l ₂₉
Q ₄ -Q ₃	l ₄₀ -l ₃₀	l ₄₁ -l ₃₁	l ₄₂ -l ₃₂	l ₄₃ -l ₃₃	~	l ₄₈ -l ₃₈	l ₄₉ -l ₃₉
Q ₅ -Q ₄	l ₅₀ -l ₄₀	l ₅₁ -l ₄₁	l ₅₂ -l ₄₂	l ₅₃ -l ₄₃		l ₅₈ -l ₄₈	l ₅₉ -l ₄₉

オーバーフローなし オーバーフローあり

【図6】

量子化決定									
(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)	(9)
Q ₄	Q ₄	Q ₄	Q ₃	Q ₃	Q ₃	Q ₃	Q ₃	Q ₃	Q ₃

【図7】



85 量子化决定回路

